

設計品質向上で、開発現場に“余裕”と“安心”を！ LINT & CDC 検証「*RTL Valid™*」

“動いているから大丈夫”で済ませていませんか？

設計品質を高めれば、チーム全体に“余裕”と“安心”が生まれます。

OKIアイディエスのLINT & CDC検証サービス『*RTL Valid™*』は、
実機でしか発生しない・見つけにくい不具合を、設計段階で未然に防ぎます。

▶ 実機でしか発生しない「見つけにくい問題」はありませんか？

LINT、CDC共に論理合成後の実機動作に影響を出す問題です。

- 論理シミュレーション検証では発生しない動作不具合が、実機検証で発生する。
- 発生頻度が低い動作不具合が実機で発生する。
- 不具合解析の為にFPGAに解析機能を追加すると不具合が発生しなくなる。
- 論理合成する度に動作したり、エラーしたりを繰り返す。
- 動作環境が変わると、エラーが発生する。
- 全般的に実機動作が不安定。



いずれも論理的な検証では見つけにくく、解析に多大な時間がかかるお困りごとです

LINT & CDC検証「*RTL Valid™*」とは？

実機にデザインを載せる前に全て対策してしまう。

多大な時間を要するネットシミュレーションなど排除してしまい、FPGA開発の開発TATを劇的に短縮し、高品質なFPGAデザインを作り上げる事が可能となる検証が『*RTL Valid™*』です。

サービスの特長

※詳細なサービス内容は裏面に記載しています。

- **LINT検証：**
コーディング規約違反・設計ミス・不安定要因を設計段階で自動検出
- **CDC検証：**
クロックドメイン間の“稀発・難再現”な不具合を設計時に対策
- **エンジニアによる優先順位付け&具体的な修正提案**

設計品質を高めることで、現場がこう変わります！

- 実機デバッグ・原因調査の手間が大幅削減！
- 開発TATが劇的に短縮！
- 環境依存・再現困難なバグのない設計現場へ！
- 量産・保守・引継ぎも安心できる高品質デザインへ！



ネットリストシミュレーションなど行わずとも実機での不安定動作を排除する検証手法。
『*RTL Valid™*』。是非、お試しください。

LINT検証

【抽出できる問題】コーディング規約違反、未使用信号、ポート接続ミス、ビット幅不整合など
⇒ 設計時の“うっかりミス”や、将来の不具合リスクを自動抽出！

【解決できる課題】人的ミス・記述エラーの早期発見、設計・実装品質の平準化・標準化など
⇒ エンジニアが警告対応や改善方法を実例ベースでアドバイス！

<検証手順>

STEP	実施内容	OUTPUT
1	LINTチェック実施、Rule／Recommendation1/2/3抽出	ツール診断レポート
2	Rule／Recom内容の解析と整理	解析レポート
	Rule／Recom箇所の特定と指定	
	各Rule／Recom内容の説明	
3	各Rule／Recom内容に対しての修正方法の立案	修正案レポート
4	各Rule内／Recom内容に対して修正を実施	修正後RTL

<診断・解析結果例>

分類	検出箇所	NG判断
Rule	8566	74
Recommendation 1	14129	19
Recommendation 2	7285	—
Recommendation 3	13562	—
Suggestion	2037	—
合計	45579	93

STEPを踏んでNGを解決

使用ツール：

LINT検証ツール：ALDEC社製ALINT-PRO

CDC検証

【抽出できる問題】メタステーブル状態発生リスク、データ消失、リセット信号同期化の不備など
⇒ 高速化・多クロック化時代も、非同期の落とし穴を抜けなく検出。

【解決できる課題】設計段階での潜在的な不具合の早期発見、製品の高信頼化・高品質化など
⇒ 「不安定動作・原因不明なトラブル」を設計段階で未然防止！

<検証手順>

STEP	実施内容	OUTPUT
1	CDCチェックを掛けて、Violations／Cautions／Evaluations抽出	ツール診断レポート
2	V／C／E内容の解析と整理	解析レポート
	V／C／E箇所の特定と指定	
	V／C／E内容の説明	
3	各V／C／E内容の修正方法立案	修正案レポート
4	各V／C／E内容の修正実施	修正後RTL

<診断結果例>

# CDC Results	
# =====	
#	NG数
# Violations (2081)	305
#	
# Single-bit signal does not have proper synchronizer.	128
# Combinational logic before synchronizer.	52
# Asynchronous reset does not have proper synchronizer.	0
# Multiple-bit signal across clock domain boundary.	106
# Fanin logic from multiple clock domains.	19
#	
# Cautions (56)	54
#	
# Redundant synchronization.	(11) 43
# Partial DMUX.	(45) 11
#	
# Evaluations (141)	0
#	
# Single-bit signal synchronized by DFF synchronizer.	0
# Asynchronous reset synchronization.	0
# Multiple-bit signal synchronized by DFF synchronizer.	0
# Pulse Synchronization.	(27) 0
# Shift-register synchronization.	(40) 0

使用ツール：STEPを踏んでNGを解決

CDC検証ツール：シーメンス社製Questa-CDC

「設計無償点検」実施中！この特別な機会を、是非ご利用ください！

- RTL設計データをお預かりし、LINT／CDC検証・一次診断・簡易レポートを無償提供！（初回のみ）
- 課題の詳細・対策提案や実装支援は、ご要望に応じてお見積りの上、有償にてご対応いたします。

OKI 株式会社 OKIアイディエス

お問い合わせ／資料請求

〒370-8585 群馬県高崎市双葉町3番1号 TEL：027-324-2139（直通）営業SE部

2025年 9月v1.0

