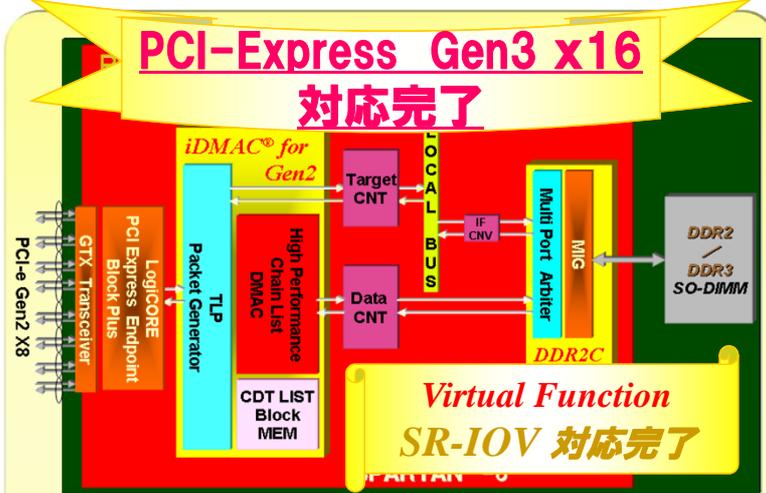


Ultra SCALE™/Ultra SCALE+™/7シリーズ対応 PCI-Express®ソリューション

▶ PCI Express® Gen1/Gen2 /Gen3 x1~x16Lane対応

iDMAC®



PCI Express® iDMACソリューション

- ▶ ザイリンクス社とのアライアンスプログラムIP。
- ▶ PCI Express®用ザイリンクスLogiCORE™ Endpoint COREとOKIアイディエス製 iDMAC®ソリューションを組み合わせることで、PCI Express®の転送能力を最大限に向上可能。
- ▶ PCI Express®デザイン構築の為の主要機能をプラットフォーム化してあるため開発期間を大幅に短縮可能。
- ▶ ユーザ回路部のみの変更(開発)でPCI Express®を使用した各種のアプリケーションに適用可能。
- ▶ 歴代デバイスからのソリューション継承による安定動作。最新UltraScale+にも対応済み。

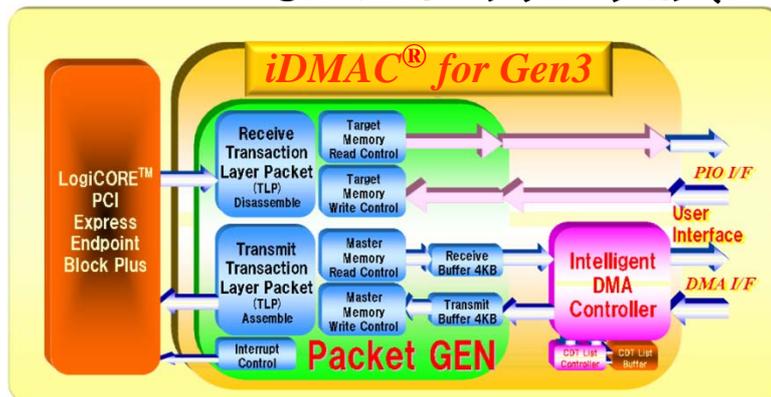
【転送性能】

DMAライト:メインメモリ→ローカルメモリ
DMAリード:ローカルメモリ→メインメモリ

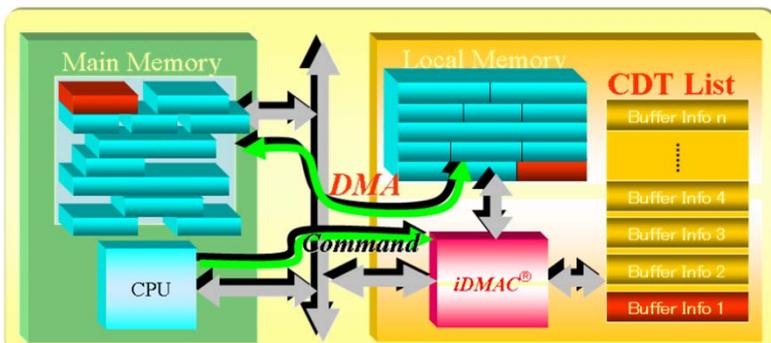
Device	PCIe Spec.	DMAライト	DMAリード
KINTEX® UltraSCALE	Gen3 8Lane	6485 [MByte/S]	6376 [MByte/S]
VIRTEX® UltraSCALE Virtex®-7	Gen2 8Lane	3321 [MByte/S]	3236 [MByte/S]
Virtex®-6 Virtex®-7 Kintex®-7 Artix®-7 *	XC7 Z045 Z100	Gen2 4Lane	1681 [MByte/S]
		Gen2 1Lane	426 [MByte/S]
Virtex®-5	Z030	Gen1 8Lane	1336 [MByte/S]
		Gen1 4Lane	736 [MByte/S]
Spartan®-6	Gen1 1Lane	213 [MByte/S]	218 [MByte/S]



● iDMAC® ソリューション(iDMAC® for Gen3) 構造図

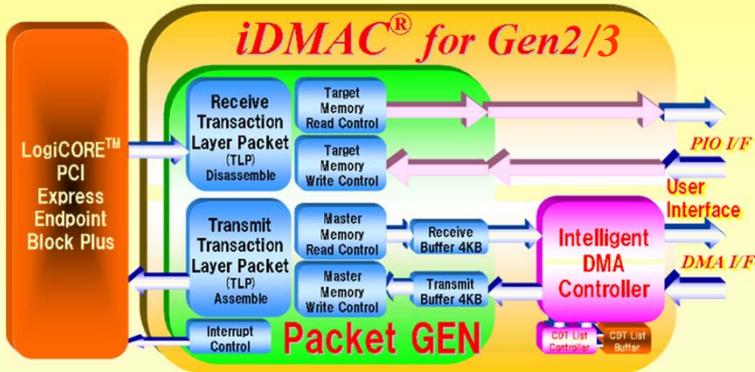


- ▶ LogiCORE PCI Express Endpoint I/Fを内蔵 <LogiCOREに直結可能> PCI Express TLP(Transaction Layer Packet) 生成/TLP分解機能を行うPacket GENを内蔵。
- ▶ Userインターフェース(Backend APインターフェース)の簡素化LogiCORE間のインターフェースは全てPacketGENが制御。User側には簡単なMEM I/Fを提供。
- ▶ CDT(Command Descriptor Table)リストにより **DMA転送の自動連続チェーンを実現**。CDTリストによりDMA転送中のCPUの介在を排除。
- ▶ 分散したメインメモリ上のBuffer情報をFPGA内でリスト(CDT List)化し、メインメモリとローカルメモリ間でデータを自動転送します。DMA転送中の割込みによるソフト制御が少ないため、より高速にデータ転送が可能となり、大容量データの転送に最適です。



★ **iDMAC[®] User Interface**

iDMAC[®] 構成図

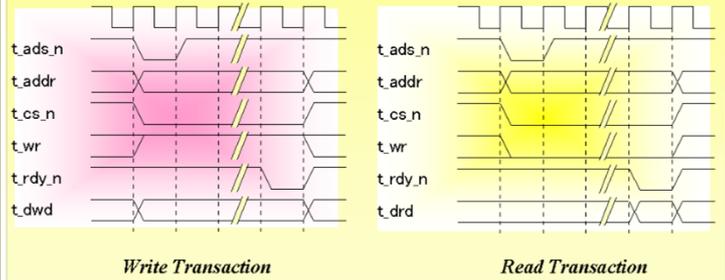


- **LogiCORE™ PCI Express Endpoint I/Fを内蔵**
 <LogiCORE™ EndPointに直結可能>
 PCI Express TLP生成/TLP分解機能(Transac-tion Layer Packet GEN)を内蔵。

- **Userインターフェース(Backend APインターフェース)の簡素化**
 LogiCORE™間インターフェースは全てPacketGENが制御、User側にはTLPプロトコルを持たない簡単なMEM I/Fのみを提供。

■ **PIO Interface**

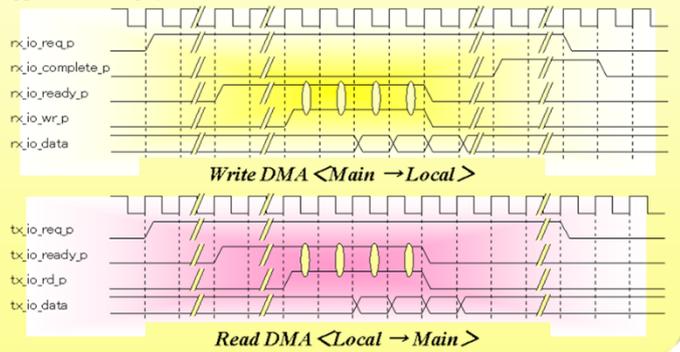
PIOインターフェースは、LogiCORE™ PCI Express Endpointからのトランザクションレイヤーパケットを分解して生成したローカルI/Fであり、CLK同期したPCIライクのメモリインターフェースです。



■ **DMA Interface**

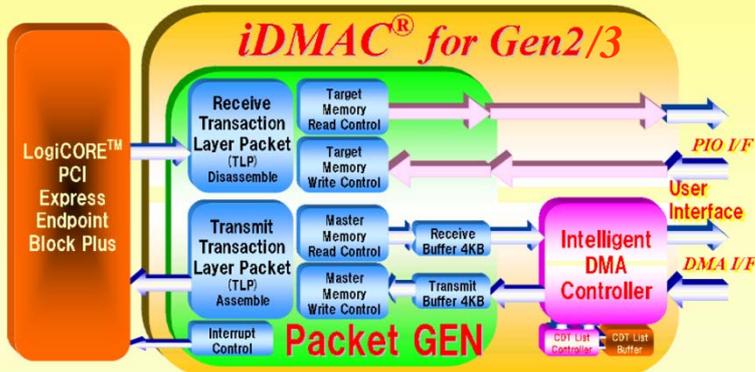
iDMAC[®]のDMAは全てEP (Endpoint) DMA。

Memory Write/Read共にiDMAC[®]がInitiatorとなってDMA転送を行います。ユーザーインターフェースは、TLPプロトコルを意識しないハンドシェイク信号を利用したCLK同期のFIFOインターフェースです。



★ **iDMAC[®] DMA転送方式**

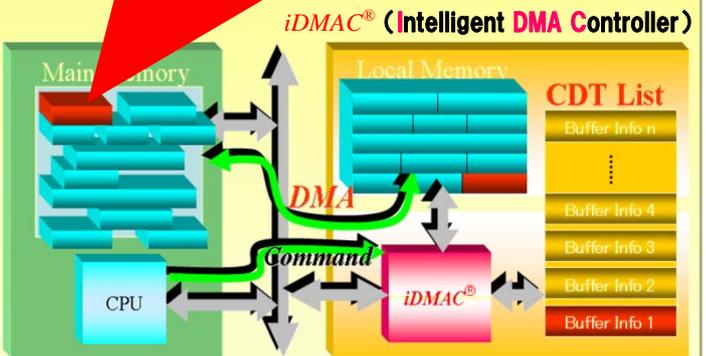
iDMAC[®] 構成図



- **CDT(Command Descriptor Table)リストにより、DMAの無限連鎖が可能。**
 CDTリスト(チェーンリスト)によりDMA転送中のCPUの介在を排除。

DMAの自動連続チェーンが可能

Windows OSでのメインメモリ上の物理アドレスでの平均取得可能連続サイズは@4KB



- DMA転送の連続チェーンを行うため、DMA転送開始前にiDMAC制御ドライバが、FPGA内部のブロックRAMに、メインメモリ上に分散取得したBuffer情報を全てテーブルリスト(CDT List)化する。

- スタンダードDMACの場合、物理メモリ空間に分散した領域単位にCPUに対して割り込みが発生。CPUは次の領域の情報をその都度ハードウェアに設定してからDMAの再起動を行わなければならない。

- iDMACの場合、DMA転送開始後は、iDMACが自動的にリスト(CDT List)を読み込み、ソフトウェアの介在なしに、メインメモリ上の分散取得Bufferに対して連続転送を実現する。
 ※CDT方式により、DMA転送中のソフト介在を排除できるため、DMAが細切れにならない。