

マルチプロトコル通信コントロールIP

uPD72001ソフトウェア互換 (HDLC-I/F [BOP], 文字同期-I/F [COP], 調歩同期-I/F)

概要

OKIアイディアスのマルチプロトコル通信コントロールIPは、あらゆるFPGAデバイスに実装可能なIPです。

本IPは、HDLCインターフェース (BOP)、文字同期インターフェース (COP)、調歩同期インターフェース (ASYNC) を、既存の汎用デバイスでご使用の方に最適なIPです。

本IPを使用することにより、皆様の製品の寿命を延ばすことが可能になります。

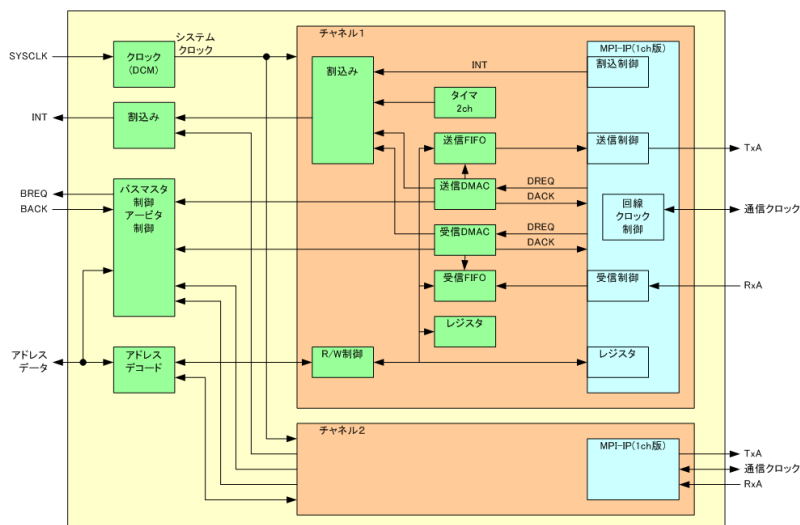
特徴

- uPD72001用ソフトウェア互換
uPD72001用ソフトウェアの変更無しでの置き換えを目的に開発。
多くのお客様において、本IP搭載のFPGAに置き換えるだけで動作。
- あらゆるFPGAデバイスに搭載可能
デバイス固有のRAMやPLL等のライブラリは一切未使用につき、デバイスを選ばず。
- 同期設計による完全RTL回路
全ての内部回路は、システムクロック同期により安定して動作。
- 1回線版やHDLC版をサポート
uPD72002互換の1回線版や、調歩同期と文字同期機能の無いHDLC版もサポート。
- 各種CPUインターフェースへ対応
CPUインターフェースとして、外付け回路によりSH-4やPCI等への対応実績あり。

デバイス置き換え実績

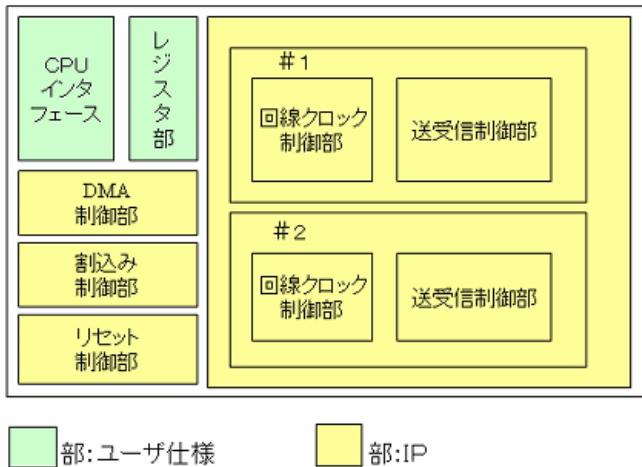
- uPD72001(1ch)、およびuPD72002(2ch)からの置換
- HD64570からの置換

IP使用例

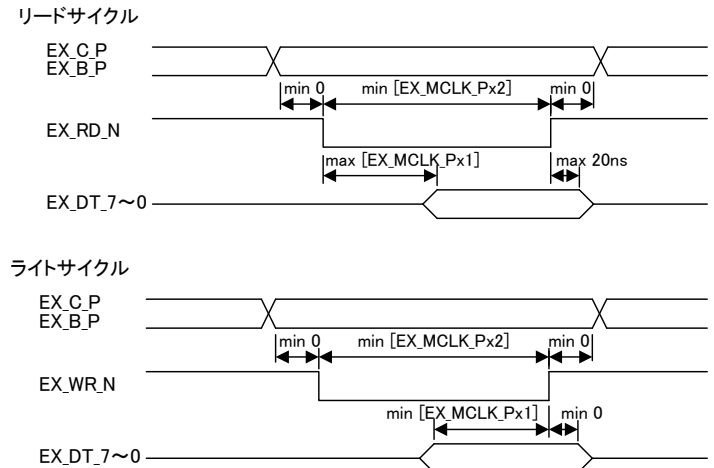


本IP (MPI-IP) 周辺にDMAC, FiFo, タイマなどを追加し、HD64570 (EOL)の機能を実現した例

概略ブロック図



CPUインタフェース



機能

- 対応プロトコル : 調歩同期、文字同期 (COP)、HDLC (BOP)
- チャンネル数 : 全2重 x 2チャンネル
- 送信バッファ : 2段
- 受信バッファ : 4段
- データフォーマット : NRZ、NRZI、FM、マンチェスタ (受信のみ)
- DMAC : 外付けDMAC用のDMA要求信号 (DREQ) 出力機能有り
- DPLL : 内蔵
- ボーレートジェネレータ : 内蔵 (送信用、受信用、独立)
- HDLCフラグ数設定 : レジスタによりデータ送信前に付加するフラグ個数を設定可能 (送信トラフィック抑制し、相手受信側のオーバーラン防止)

FPGA使用リソース

対応プロトコル	チャンネル数	適用デバイス	Slice	Flip Flop	LUT
調歩、文字、HDLC	2 μPD72001 互換	Spartan-6 XC6SLX9 144Pin	1198 /1430 (83%)	1716 /11440 (15%)	2941 /5720 (51%)
調歩、文字、HDLC	1 μPD72002 互換	Spartan-6 XC6SLX4 144Pin	563 /600 (93%)	914 /4800 (19%)	1507 /2400 (62%)

※合成パラメータ等によりインプリメント結果は変わる場合があります。