



EFINIX® Trion® FPGA対応 マルチプロトコル通信コントロールIP

uPD72001ソフトウェア互換 (HDLC-I/F [BOP], 文字同期-I/F [COP], 調歩同期-I/F)

概要

OKIアイディアスのマルチプロトコル通信コントロールIPは、Trion® FPGAデバイスに実装可能なIPです。

本IPは、**HDLCインターフェース (BOP)**、**文字同期インターフェース (COP)**、**調歩同期インターフェース (ASYNC)** を、**既存の汎用デバイス**でご使用の方に最適なIPです。

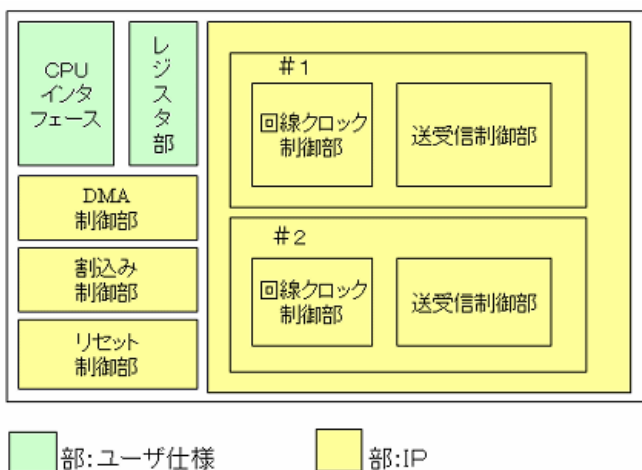
本IPにより、御社の**製品ライフサイクルの延長**が可能となります。

特徴

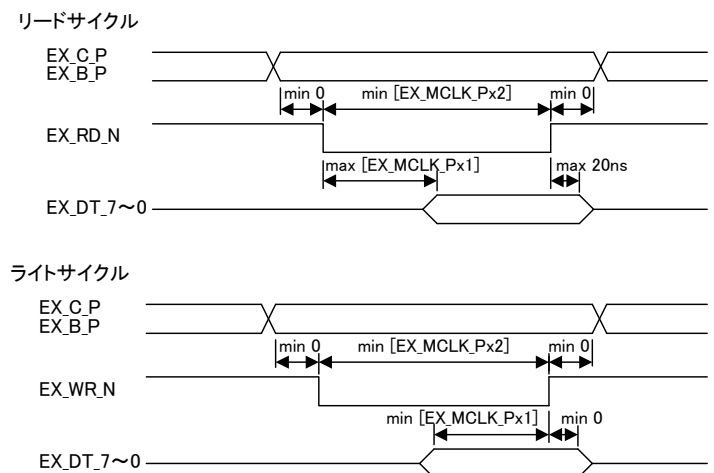
- uPD72001完全ソフトウェア互換
本IP搭載のFPGAに置き換えるだけで既存ソフトウェアのまま動作が可能。
- Trion® FPGAデバイスに対応
RAMやPLL等のデバイス固有のライブラリは一切未使用。
- 同期設計による完全RTL回路
全ての内部回路は、システムクロック同期により安定した動作が可能。
- 1回線版やHDLC版をサポート
uPD72002互換の1回線版や、調歩同期と文字同期機能の無いHDLC版もサポート可能。
- 各種CPUインターフェースへ対応
CPUインターフェースとして、外付け回路によりSH-4やPCI等への対応可能。

Trion® FPGAに最適

概略ブロック図



CPUインターフェース



デバイス置き換え実績

- uPD72001(1ch)、およびuPD72002(2ch)からの置換
- HD64570からの置換

機能

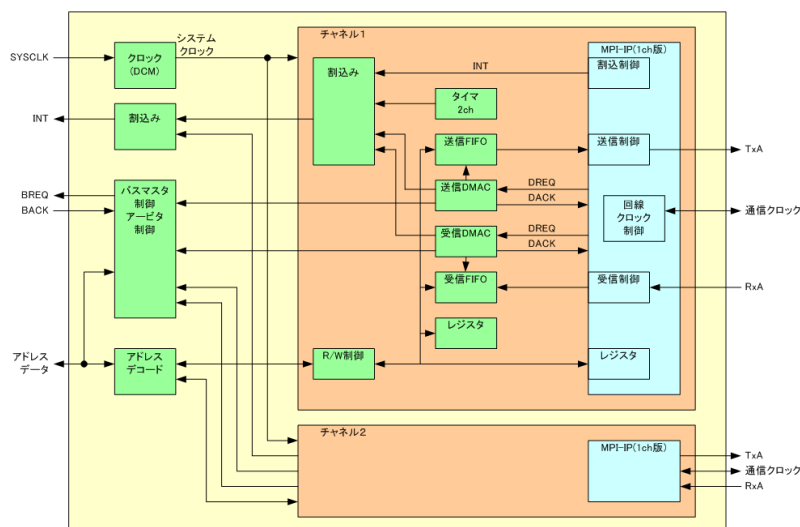
- 対応プロトコル : HDLC (BOP) 、文字同期 (COP) 、調歩同期 (ASYNC)
- チャンネル数 : 全2重 x 2チャンネル
- 送信バッファ : 2段
- 受信バッファ : 4段
- データフォーマット : NRZ、NRZI、FM、マンチェスタ (受信のみ)
- DMAC : 外付けDMAC用のDMA要求信号 (DREQ) 出力機能有り
- DPLL : 内蔵
- ボーレートジェネレータ : 内蔵 (送信用、受信用、独立)
- HDLCフラグ数設定 : レジスタによりデータ送信前に付加するフラグ個数を設定可能 (送信トラフィック抑制し、相手受信側のオーバーラン防止)

FPGA使用リソース

Trion® FPGAに最適

対応プロトコル	チャンネル数	適用デバイス	Logic Elements	LE: LUTs / Adders	LE: Registers	Memory Blocks	Multipliers
調歩, 文字, HDLC	2 μPD72001 互換	Trion® FPGA T8F81 81ピン	4079 / 7384 (55%)	3409 / 7384 (46%)	1673 / 5280 (32%)	0 / 24 (0%)	0 / 8 (0%)
調歩, 文字, HDLC	1 μPD72002 互換	Trion® FPGA T4F81 81ピン	2219 / 3888 (57%)	1857 / 3888 (48%)	906 / 3888 (23%)	0 / 15 (0%)	0 / 4 (0%)

IP使用例



本IP (MPI-IP) 周辺にDMAC, FiFo, タイマなどを追加し、HD64570 (EOL)の機能を実現した例